

Searching PAJ

BEST AVAILABLE COPY^{1/2} ページ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-022516

(43)Date of publication of application : 24.01.1995

(51)Int.CL

H01L 21/8234
H01L 27/088
H01L 21/82
H01L 21/8242
H01L 27/108

(21)Application number : 05-190891

(71)Applicant : HITACHI LTD
TEXAS INSTR JAPAN LTD

(22)Date of filing : 02.07.1993

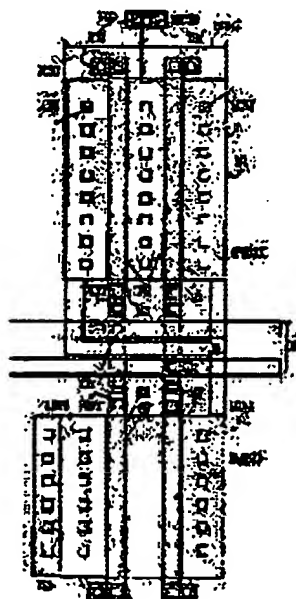
(72)Inventor : KAWAMURA MASAYASU
IWAHIDEHITO
KOMATSUZAKI KATSUO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract

PURPOSE: To increase the speed without enlarging the area of layout by forming metal wiring for input signals through insulation film on a gate electrode.

CONSTITUTION: Connections to the source and drain of a MOSFET are made by the wiring layer M1 of a first layer, and wiring for input signal is formed on a gate electrode by using a wiring layer M2 of a second layer. By doing this, respective wiring layers M1 and M2 can be formed in response to the sizes of the source, drain region and gate electrode, thereby reducing effective resistance values. And the input signal supplied to the gate electrode of the MOSFET is input from both the end sides through the wiring layer M2 of the second layer having a small resistance value formed on said electrode, so that the resistance value of equivalent gate electrode can be greatly reduced, by which the switching characteristics can be improved. Also, a wiring layer M3 for input can be formed on the gate electrode so that the cell size in lateral direction can be reduced and the area of layout can be decreased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

整理番号 J 0082689

発送番号 137539

発送日 平成15年 5月 6日 1 / 3

拒絶理由通知書



特許出願の番号	特願2000-375104
起案日	平成15年 4月21日
特許庁審査官	棚田 一也 3125 4L00
特許出願人代理人	森 哲也(外 2名) 様
適用条文	第29条第1項、第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

Too 5659
拒絶

理 由

1. この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。
2. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

理由1

請求項1～3について

引用文献1、2

備考

引用文献1の第4図に記載された出力バッファ、または、引用文献2の第1図に記載された論理ゲート回路と同一である。

請求項5、6、7について

引用文献1

備考

引用文献1の第4図には、多結晶シリコン配線の両縁端のみだけでなく、多

BEST AVAILABLE COPY

発送番号 137539

発送日 平成15年 5月 6日 2 / 3

結晶シリコン配線と金属配線との接続部の数をチャンネルごとに異ならせた出力バッファが記載されている。

理由 2

請求項 1～3 について

引用文献 1、2

備考

引用文献 1 の第 4 図に記載された出力バッファ、または、引用文献 2 の第 1 図に記載された論理ゲート回路と同一である。

請求項 4 について

引用文献 1

備考

引用文献 1 の第 4 図には、多結晶シリコン配線の両縁端のみだけではなく、多結晶シリコン配線と金属配線との接続部の数をチャンネルごとに異ならせた出力バッファが記載されており、接続部数をいくつにするかは、多結晶シリコン配線の抵抗値等を考慮して当業者が適宜決定する設計事項に過ぎない。

請求項 5、6、7 について

引用文献 1

備考

引用文献 1 の第 4 図には、多結晶シリコン配線の両縁端のみだけではなく、多結晶シリコン配線と金属配線との接続部の数をチャンネルごとに異ならせた出力バッファが記載されている。

請求項 8 について

引用文献 1、2

備考

引用文献 1 の第 4 図に記載された出力バッファ、または、引用文献 2 の第 1 図に記載された論理ゲート回路の製造工程においても、本発明と実質的に同一の製造工程を経るものと認められるため、本発明に格別な困難性は認められない。

引用文献等一覧

1. 実願昭 59-128916 号 (実開昭 61-44854 号) のマイクロフィルム
2. 特開平 07-022516 号公報

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がござい

BEST AVAILABLE COPY

発送番号 137539

発送日 平成15年 5月 6日 3 / 3

ましたら下記までご連絡下さい。

特許審査第三部 半導体集積回路 宇多川勉

TEL. 03(3581)1101 内線 3496~98

FAX. 03(3501)0673

先行技術文献調査結果の記録

・調査した技術分野 I P C 第7版

H 0 1 L 2 7 / 0 8

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。